** Ministerul Educaţiei Republicii**

**Moldovei**

**Universitatea Tehnică a Moldovei**

Catedra: Calculatoare

**Raport**

Lucrare de laborator nr.3

## Tema: Sinteza decodificatoarelor şi codificatoarelor

A efectuat: Nicolenco Eugeniu, Gr. C-162

A verificat: Asistent.Univ. S.Munteanu

2017

**Scopul lucrării:** studierea practică a structurii şi a metodelor de sinteză a decodificatoarelor şi codificatoarelor.

**Sarcini:**

1. Efectuaţi sinteza unui decodificator complet cu trei variabile de intrare.
2. Efectuaţi sinteza unui decodificator binar-zecimal conform variantei din tabelul 4.3 ( la indicaţia profesorului).
3. Efectuaţi sinteza unui codificator binar-zecimal conform variantei din tabelul 4.3 (la indicaţia profesorului).

#### Desfăşurarea lucrării

**a) la standul de laborator:**

1. Se verifică corectitudinea funcţionării circuitelor integrate ale standului de laborator.

2. Se asamblează şi se reglează schema unui decodificator binar-zecimal din tema pentru acasă în setul de elemente ŞI-NU.

3. Se asamblează şi se reglează schema unui codificator binar-zecimal din tema pentru acasă în setul de elemente ŞI-NU.

4. Pentru circuitele asamblate se determină costul şi timpul de reţinere.

**b) în LogicWorks:**

1. Din biblioteca de elemente **Simulation Gates.clf** se selectează elementele **NAND** cu numărul corespunzător de intrări. Din biblioteca **Simulation IO.clf** se selectează dispozitivele de intrare-ieşire **Binary Probe**, **Hex Keyboard** şi **Binary Switch.**

2. Se asamblează schema unui decodificator binar-zecimal din tema pentru acasă în setul de elemente ŞI-NU în **Fereastra de lucru** şi se verifică corectitudinea lui. Se studiază diagrama de timp.

1. Asablarea decodificatorului

|  |  |  |
| --- | --- | --- |
| Nr. var. | Codul binar- zecimal intrare |  |
| 8. | 8 4 2 1 |  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Nr | x4 | x3 | x2 | x1 | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | Y8 | Y9 |
|  | (8) | (4) | (2) | (1) |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 3 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 |
| 4 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 |
| 6 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 |
| 7 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** |

Diagrama y0

X2x1

X4x3

00

01

11

10

00

01

11

10

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 4 | \* | 8 |
| 1 | 5 | \* | 9 |
| 3 | 7 | \* | \* |
| 2 | 6 | \* | \* |

Asemenea acestei deiagrame vor fi construite si diagramele pentru functiile y1 .. y9, cu plasarea unitatii in casuta respectiva.

Forma minimalizata:

Y0=

Y1=

Y2=

Y3=x1 x2

Y4=

Y5=

Y6=

Y7=

Y8=

Y9= Schema logica :

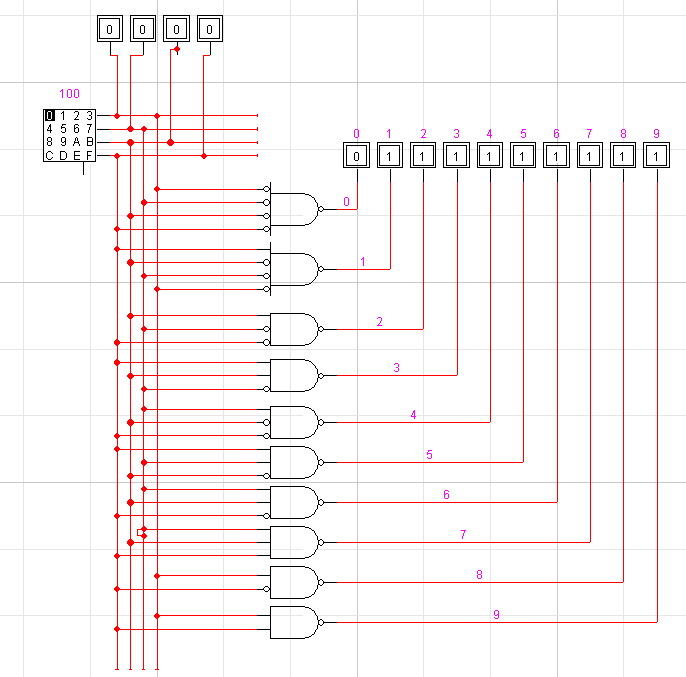
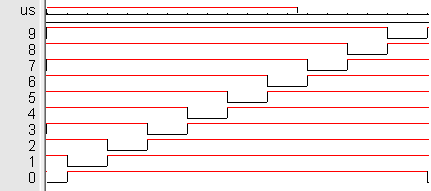


Diagrama de timp:



Costul: 30Q

Td: 1t

1. Asambalrea codificatorului:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| nr | Y0 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | Y8 | Y9 | F4 | F3 | F2 | F1 | Nr |
|  |  |  |  |  |  |  |  |  |  |  | (4) | (4) | (2) | (-1) |  |
| 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 2 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 2 |
| 3 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 3 |
| 4 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| 5 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 5 |
| 6 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 6 |
| 7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 0 | 1 | 1 | 0 | 1 | 7 |
| 8 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 0 | 1 | 1 | 0 | 0 | 8 |
| 9 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | **1** | 1 | 1 | 1 | 1 | 9 |

F4=

F3=

F2=

F1=

Schema logica a codificatorului:

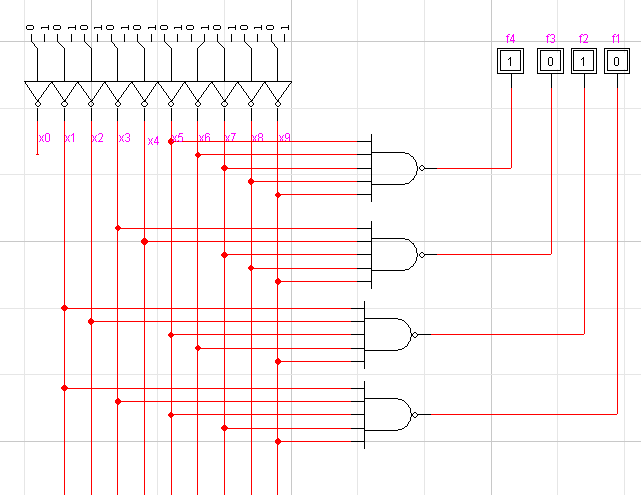
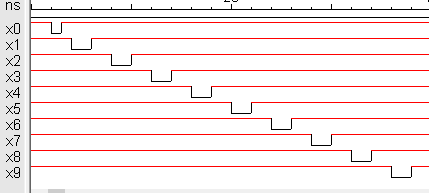


Diagrama de timp:



Costul:20 Q

Td:1 ȶ

Concluzie: La elaborarea acestei lucrari de laborator am cunoscut mai bine lucrul codificatorului si decodificatorului, am asamblat ambele cazuri si am primit rezultate asteptate. Lucrarea sa dovedit a fi interesanta si usor de efectuat dupa efectuarea celor precedente.